

RISC-V Mikroişlemciler İçin Yeni Bir Hibrit toplama-çıkartma-çarpma Devresi

A New Hybrid Adder-Subtractor-Multiplier Circuit for Use in RISC-V Microprocessors

Muhammet Enes Yanık¹, İhsan Çiçek¹, Engin Afacan¹

¹LAMBDA Laboratuvarı, Elektronik Mühendisliği Bölümü
Gebze Teknik Üniversitesi
{m.yanik2019, ihsancicek, enginafacan}@gtu.edu.tr

Özet

Çarpma devreleri, modern mikroişlemcilerin performansları üzerinde doğrudan etkisi olan temel bileşenlerdir. Çarpma devrelerinin veri yolu boyutları arttıkça çarpıcıların tasarım karmaşıklığı katlanarak büyür. Genişletilebilir ücretsiz ve açık kaynaklı komut seti mimarisi nedeniyle, RISC-V mikroişlemcilerin kullanımı günümüzde giderek yaygınlaşmaktadır. Çoğu RISC-V varyantı, bir donanımsal çarpıcıya ihtiyaç duyan M buyruk kümesi uzantısını içerir. Toplayıcılar, çarpma devrelerinde yapı taşları olarak yaygın şekilde kullanılmaktadır. Çarpma için ek bir toplayıcıya ve ayrıca aritmetik lojik ünitesinde toplama işlemleri için kullanılan toplayıcı devresine duyulan ihtiyaç, kaynakların boşa harcanmasına neden olmaktadır. Bu çalışmada, GTU'nde tasarlanan bir RISC-V mikroişlemcisi olan RezeRV'nin alan verimliliğini %7.24 artıran, toplayıcı modülünün toplama/çıkarma ve çarpma işlemleri arasında paylaşıldığı yeni bir hibrit çok işlevli aritmetik yapı bloğu önerilmiştir.

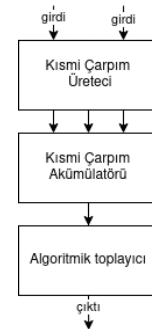
Abstract

Multipliers are essential components of modern microprocessors with a direct impact on performance. The design complexity of multipliers grows exponentially as the data bus sizes of multiplication circuits increase. Because of their extensible free and opensource instruction set architecture, RISC-V microprocessors are becoming more popular today due to their extensible free and open-source instruction set architecture.. Most RISC-V variants include the M instruction set extension, which allows for a hardware multiplier. Adders are commonly used as building blocks in multipliers. The need for an additional adder for multiplication, as well as the adder circuit used in the arithmetic logic unit for addition operations, wastes resources. In this paper, we propose a new hybrid multi-function arithmetic building block in which the adder module is shared between add/subtract and multiplication operations, improving the area efficiency of a GTU-designed RISC-V processor, RezeRV by a factor of 7.24%.

1. Giriş

Günümüz yarı-iletken endüstrisinde buyruk kümesi mimarisi lisanslama ücretleri sadece ürünlerin maliyetini artırmakla kalmayıp aynı zamanda şirketlerin rekabet gücünü de olumsuz etkilemekte ve aynı zamanda mikroişlemci mimarisinin değiştirilebilmesini de engelleyerek mühendislik inovasyonunu sınırlandırmaktadır. Engellerin kaldırılması ve mikroişlemci

mimarisindeki özgürlük ihtiyacının bir sonucu olarak, gömülü sistemlerde bir tekel haline gelen ARM buyruk kümesi mimarisine karşı bir tepki olarak ortaya çıkan açık kaynak RISC tasarım prensiplerine dayalı açık kaynak buyruk kümesi mimarisi olan RISC-V Kaliforniya Üniversitesi, Berkeley kampüsünde geliştirilmiştir [1]. Açık kaynak ve genişletilebilir buyruk kümesi mimarisi sayesinde RISC-V, günümüz ve gelecek bilişim uygulamaları için fiyat-performans açısından en uygun platformlardan biri olarak öne çıkmaktadır. RISC-V, basitlik ve açıklık prensiplerine dayanan ücretsiz ve açık kaynaklı bir buyruk kümesi mimarisi olarak yarı-iletken sektörünün desteğini kazanmıştır. Hem akademi hem de endüstri tarafından hızla benimsenen RISC-V'in ortaya çıkışıyla birlikte açık kaynaklı fikri mülkiyet çekirdeklerinin standartlaşarak mikroişlemcilerle tümleştirilmesi konusunda da yeni bir ekosistem oluşmaya başlamıştır [2, 3]. Bunda RISC-V buyruk kümesi mimarisinin lisanslama maliyeti olmaksızın uygulamaya göre genişletilebilir ya da özelleştirilebilir eklentilere sahip bir yapıda olmasının payı büyüktür. Bu eklentilerden M eklentisi çarpma ve bölme buyruklarını içermekte olup gerçekleşmesi belli tasarım zorluklarını beraberinde getirmektedir. Eniyilenmiş bir mikroişlemci tasarımında kullanılacak yapıtaş modüllerin hızlarının yanı sıra bunların kapladıkları alan ve harcadıkları güç gibi performans parametrelerinin de tasarım sürecinde detaylı analiz edilmesi gerekmektedir. Genel olarak mikroişlemcilerin performansları toplama, çıkarma, çarpma gibi aritmetik işlemleri ne kadar hızlı gerçekleştirebildikleriyle doğrudan ilişkilidir. Aritmetik işlemler içinde özellikle çarpma işlemi, mikroişlemcinin genel performansı konusunda belirleyici bir rol oynamaktadır. Literatürdeki mikroişlemcilere yönelik geliştirilen çarpıcı devreler incelendiğinde, Şekil-1'de sunulan blok diyagram ile genellenebilecekleri gözlemlenmektedir.



Şekil 1: Literatürdeki çarpma devrelerinin genel yapısı.

Literatürdeki çalışmalar incelendiğinde çarpma performansını artırmak için genellikle kısmi çarpım terimlerini önden üretip hızlı toplama yapabilen bir akümülatörle toplayarak çarpım işleminin sonucunun hesaplandığı gözlemlenmektedir [4-7]. Literatürde hem kısmi çarpım terimlerinin üretimi hem de hızlı toplanabilmesi için farklı algoritmalar mevcuttur ve gerçekleştirildiğimiz çalışma kapsamında bu algoritmalar çeşitli performans parametreleri açısından karşılaştırılmıştır [4-7]. RISC-V buyruk kümesi mimarisi eklentilerinden M eklentisi gerçekleştirirken kullanılan çarpma devrelerinin içindeki toplayıcılara ek olarak mikroişlemcinin aritmetik lojik ünitesinde de ayrı bir toplayıcının bulunması, özellikle de 64-bit veriyolu boyutunda, kullanılan alanı önemli ölçüde artırmaktadır. Bu devrenin tasarımında mikroişlemcinin isterleri belirleyici olmaktadır [8].

Bu çalışmada üniversitemizde tasarlanan 64-bit RISC-V mimarisine dayalı RezeRV adlı mikroişlemcinin çarpıcı ihtiyacına yönelik olarak literatürdeki çarpma devrelerinin performansları farklı veriyolu boyutları için hedef seçilen bir FPGA aygıtı için sentezlenerek hız, alan ve güç tüketimi açısından analiz edilmiştir. Çalışmanın literatüre asıl katkısı ise çarpıcı ve aritmetik lojik ünite içindeki toplama devrelerinin ortak kullanımı ile alandan tasarruf sağlayan yeni hibrit toplama-çıkarma-çarpma devresinin geliştirilmesi olmuştur. 2. Bölümde çarpma algoritmalarının farklı veri yolu boyutlarında performansları değerlendirilmiştir. 3. Bölümde geliştirilen hibrit aritmetik devrenin tasarımı anlatılmıştır. 4. Bölümde ise sonuçlar tartışılmıştır.

2. Literatürdeki Çarpma Devrelerinin Performans Analizi

RISC-V mikroişlemcilerde çoğu zaman yürütme işlemlerinin tek saat döngüsünde tamamlanması yüksek performans için istenen bir durumdur. Çarpma işleminin hızlı bir şekilde gerçekleştirilebilir olması bu işlemi bölme için de iteratif olarak kullanan, örneğin bir iteratif çarpıcı bir bölme devresi kullanımında bölücünün de hızlı bir şekilde çalıştırılmasını sağlayabilir [9]. Çarpma işleminin gecikme değerleri bu durumda mikroişlemcinin performansına direkt olarak etki etmektedir. Bu devrelerin yüksek veriyolu genişliklerinde ortaya çıkabilecek tasarım hatalarının önüne geçmek amacıyla algoritmalar birer konfigürasyon dosyasına dönüştürülüp devreler parametrik bir şekilde yazılım desteğiyle yüksek seviyede oluşturulabilmektedir. Bu çalışmada Xilinx firmasının ürettiği XCZU7EV-FFVF1517-1LV-I FPGA tümdevresi hedef aygıt olarak seçilerek, gerçekleştirilen algoritmik çarpıcı devreleri ve onların kullandığı toplayıcılar Xilinx Vivado 2021.1 tümleşik geliştirme ortamında 8, 16, 32 ve 64-bitlik farklı veri yolu boyutları için sentezlenerek hız, alan ve güç tüketim parametreleri açısından incelenmiştir.

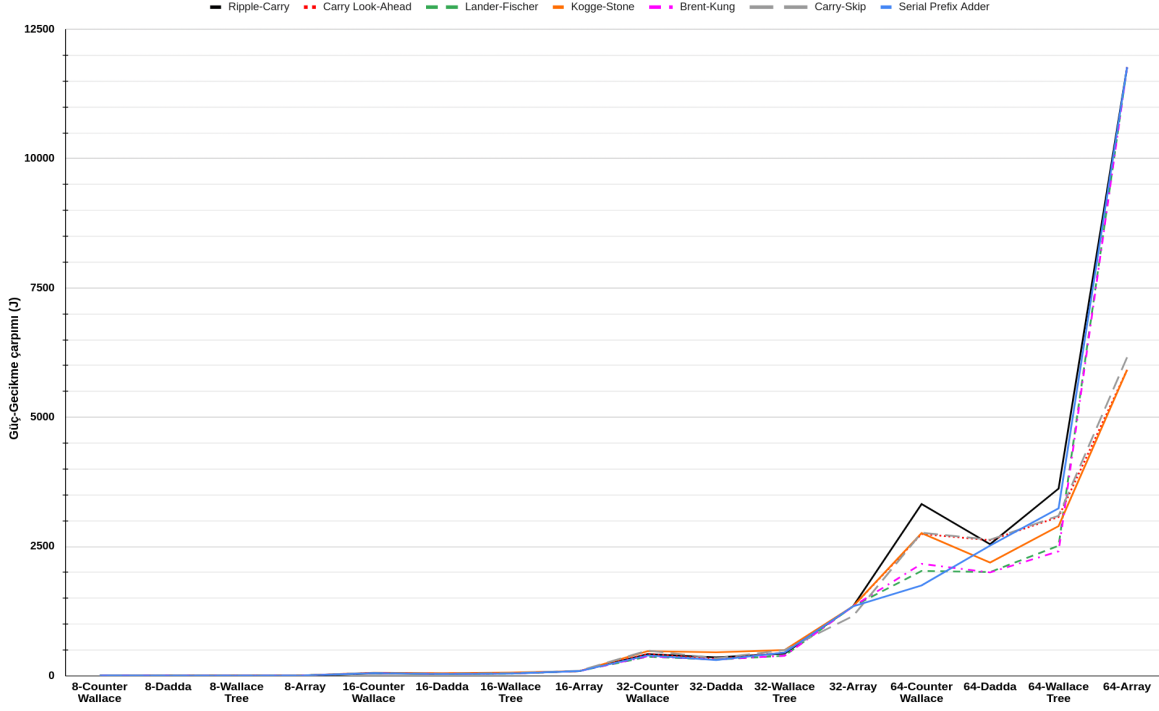
2.1. Güç-Gecikme Çarpanı Karşılaştırmalı Analizi

Hız ve güç parametrelerinin birleşik şekilde değerlendirilebilmesi amacıyla Şekil 1’de gösterilen geleneksel çarpıcı yapısında gerçekleşip performans ölçütü olarak gecikme-güç çarpanı değerleri hesaplanarak kullanılmıştır. Şekil 2’ye bakıldığında genellikle küçük veriyolu boyutlarında benzer performansların sergilendiğini, mikroişlemci veriyolu genişledikçe bu algoritmaların başarımlarının ve verimliliklerinin de ayrılmakta olduğu görülebilmektedir.

Şekil 2’ye bakılarak 64-bit için Counter Wallace çarpıcısının Serial Prefix toplayıcısıyla kullanıldığında güç-gecikme çarpanının en düşük değerde olduğu gözlemlenmektedir. Bu devre kombinasyonu incelenen çarpıcılar içinde en düşük güç tüketimine sahip olan Dadda çarpıcısının Serial Prefix toplayıcı ile kullanıldığı devreden %17.5 daha fazla güç tüketiyor olmasına rağmen en düşük gecikme değerine sahip olması nedeniyle kendisine en yakın güç-gecikme çarpan değerine sahip olan Dadda çarpıcısının Serial Prefix toplayıcı ile kullanıldığı devreden %12.64 daha düşük güç-gecikme çarpan değeri sunarak ile performans açısından ilk sırada yer almaktadır.

32-bit genişliğindeki çarpıcılarda ise en az güç-gecikme çarpan değeri Dadda çarpıcısının Serial Prefix toplayıcı devresiyle birlikte kullanıldığı senaryoda gözlemlenmiştir. Bu devre hem en düşük güç tüketimine sahip olup, hem de çoğu çarpma devresine kıyasla çarpma işlemini düşük bir gecikme süresiyle ile tamamlayabilmektedir.

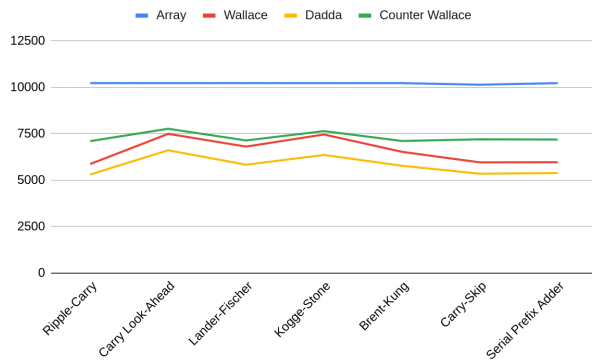
16-bit genişliğe sahip çarpıcılarda ise en düşük güç-gecikme çarpanı değerini Dadda çarpıcısının Serial Prefix toplayıcı ile birlikte kullanımında gözlemlenmiştir. 8-bit veriyolu genişlik değeri için çarpma devreleri istenilen şekilde yazılım desteğiyle oluşturulmuş, fakat toplayıcı devrelerinde algoritmaların paralel bir şekilde çalışmalarına ve ancak 16-bit veriyolu genişliğinden sonra birbirlerinden ayrılmalarına bağlı olarak oluşturulan devrelerdeki toplayıcılar birbirine çok yakın performans sergilemiştir. Elde edilen sonuçlarda küçük veri yolu genişliğe sahip devrelerin güç-gecikme çarpan değerlerinin birbirine çok yakın olması daha büyük veriyolu genişliği değerlerine çıktıkça kullanılan farklı yapıtaşları arasındaki performans ayrışmasını daha gözlemlenebilir kılmasını da açıklamaktadır. 8-bit değerinde ise en düşük güç-gecikme çarpan değerine sahip devre Wallace Tree çarpıcısının Ripple Carry toplayıcısıyla birlikte kullanıldığı durumda elde edilmiştir.



Şekil 2: 8, 16, 32 ve 64-bit veriyolu genişlikleri için güç-gecikme çarpanı değerleri

2.2. Alan Kullanımının Karşılaştırmalı Analizi

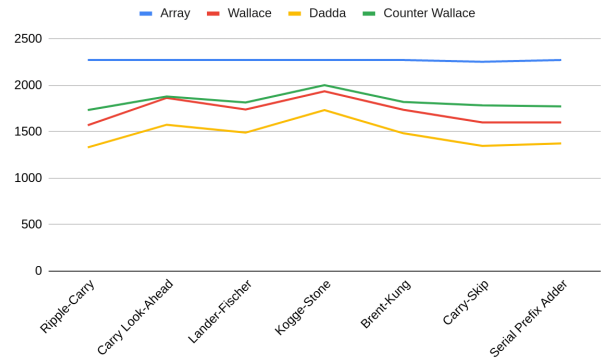
RISC-V mimarisinde tek saat döngüsünde çarpma işlemi gerçekleştirebilmek amacıyla çarpıcı devrelerin kombinasyonel olarak gerçeklenmeleri alan kullanımını artıran bir dezavantaja dönüşmektedir. Boru hattının kullanılmayıp tüm işlemin tek saat döngüsünde yapılması için daha fazla alan kullanılmakta, ve bu durumda performans ile alan takas edilmektedir. Gerçekleştirilen alan kullanımı analizleri ve sentezleme işlem sonuçları Xilinx XCZU7EV-FFVF1517-1LV-I FPGA tümdevresi hedef aygıt olarak seçilerek gerçekleştirilmiştir. İncelenen çarpıcı devrelerinin alanları farklı veriyolu genişlikleri için sentezleme sonuçlarından FPGA LUT'ları cinsinden edinilerek Şekil 3-6'da grafik olarak sunulmuştur.



Şekil 3: 64-bit için algoritmik çarpıcı devrelerin farklı toplayıcı devrelerle kombinasyonlarında kullanılan LUT sayıları.

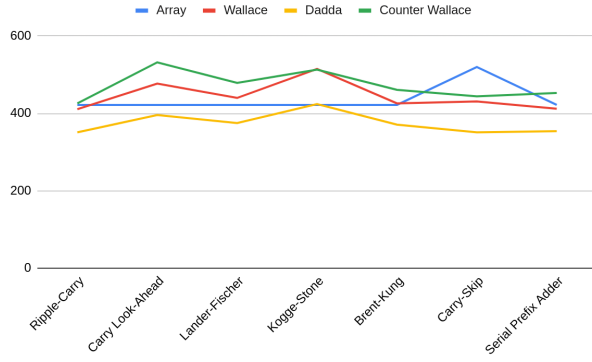
Şekil 3'e göre 64-bit genişliğindeki çarpıcı devreleri incelendiğinde dizi çarpıcıların en geniş alanı kapladığı gözlemlenmektedir. Buna ek olarak, en az alan kaplayan 64-bitlik çarpıcının ise Dadda çarpma algoritmasının

Ripple-Carry toplayıcısı ile kullanılması durumunda elde edildiği gözlemlenmektedir.



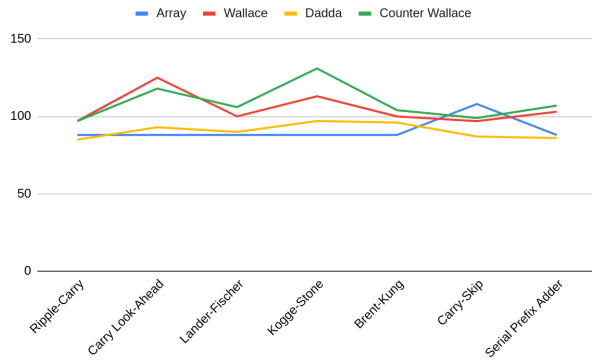
Şekil 4: 32-bit için algoritmik çarpıcı devrelerin farklı toplayıcı devrelerle kombinasyonlarında kullanılan LUT sayıları.

Şekil 4'e bakarak 32-bit genişliğe sahip çarpıcılar arasında en çok alanı dizi çarpıcıların kullanıyor olduğu gözlemlenmektedir. Buna ek olarak en az LUT kullanımının da Dadda çarpıcıların Ripple Carry toplayıcılarla kullanıldığı durumda elde edildiği gözlemlenmiştir. Counter Wallace çarpıcıların Wallace çarpıcıların bir sayacı yapısı kullanılarak modifiye edilmiş hali olduğundan yakın değerler beklenmekle beraber Wallace çarpıcı devrelerin Counter Wallace belli toplayıcı yapıtaşları modüllerle kullanıldığında alanları arasındaki fark sadece %0,79 iken, bazı devrelerde ise bu fark %7,24'e ulaşmaktadır.



Şekil 5: 16-bit için algoritmik çarpıcı devrelerin farklı toplayıcı devrelerle kombinasyonlarında kullanılan LUT sayıları.

Şekil 5'e bakılarak 16-bit toplayıcı algoritmalarının düşük veri yolu genişliğinde LUT kullanım değerlerinin birbirine yaklaştığı gözlemlenmiştir. En çok alan kullanımı Carry Look Ahead toplayıcıya sahip Counter Wallace çarpıcı devresi olurken en az alana sahip devre ise Dadda çarpıcı devresinin Ripple Carry ve Carry Skip toplayıcı devreleriyle eşit alan kaplayarak 351 LUT kullanmışlardır.



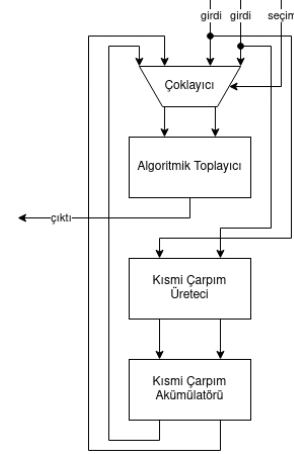
Şekil 6: 8-bit için algoritmik çarpıcı devrelerin farklı toplayıcı devrelerle kombinasyonlarında kullanılan LUT sayıları.

Şekil 6'ya bakılarak 8-bit genişliğindeki çarpıcı devrelerde toplayıcı algoritmaların düşük bit değerlerinde normal bir toplama algoritması gibi davranması ile kapladıkları alan birbirine çok yaklaşmış, en çok LUT kullanımı Counter Wallace çarpıcısının Kogge-Stone toplayıcısı ile kullanımı durumunda olurken en az alan kaplayan devre Dadda çarpıcısının Serial Prefix Adder toplayıcısı ile kullanıldığı durumda elde edilmiştir.

3. Hibrit Aritmetik Devrenin Tasarımı

Yazılım desteğiyle oluşturulan devreler sadece çarpma işlemi gerçekleştirecek şekilde oluşturulmuştur. Her bir çarpıcı devresi iki adet kısmi çarpım üretmekte olup bu kısmi çarpım değerleri belirlenen bir toplayıcı ile toplanmaktadır. Şekil 1'de gösterilen geliştirilmiş çarpıcı mimarisine uygun olarak önerilen çarpıcı devresini kısmi çarpımları üreten algoritmik çarpıcı modülü ve bu kısmi çarpımları toplayan algoritmik toplayıcı modülü olarak ikiye ayrılabilir. Şekil 7'de gösterildiği gibi

çarpıcının içinde bulunan toplayıcı bir çoklayıcı yardımıyla kısmi çarpımlarla birlikte girişlerin direkt toplanması için kullanılabilir. Bu şekilde çarpıcı devresini kullanarak birden fazla buyruk yerine getirilebilmektedir. Bu devrenin yürütme adımını tek saat döngüsünde yerine getirecek mikroişlemci mimarilerinde kullanılabileceği değerlendirilmektedir. Yürütme adımının tek saat döngüsünde işlendiği 5 aşamalı boru hattına sahip RezeRV mikroişlemcisi projesinde bu yaklaşım kullanılarak, çarpıcı devrenin çarpma, toplama ve çıkarma işlemlerini tek bir hibrit yapıda gerçekleştirebilmesi sağlanmıştır. Bu tasarım yaklaşımıyla kullanılan LUT cinsi alandan Tablo 1'de de görüleceği gibi %7,24 tasarruf edilmiştir.



Şekil 7: Geliştirilen çok amaçlı hibrit aritmetik devrenin yapısı.

Şekil 7'de sunulduğu gibi bir çoklayıcı yardımı ile algoritmik toplayıcının hangi iki değeri toplayacağı seçilebilmektedir. Bir senaryoda gelen iki değer direkt toplanabilirken diğer durumda ise kısmi çarpım akümülatöründen çıkan iki değer toplanarak çarpma işleminin tamamlanması sağlanabilmektedir. Bu yaklaşım sayesinde toplama/çıkarma ve çarpma işlemleri için ayrı ayrı toplayıcılar kullanılmasının önüne geçilerek kaynakların daha verimli şekilde kullanılması sağlanmıştır. Önerilen devre sadece RISC-V özelinde değil, farklı mimarilerde de kullanılabilir.

	Geleneksel Çarpıcı	Hibrit Çarpıcı
Çarpıcı devre	6366 LUT	6366 LUT
Toplayıcı devre	497 LUT	-

Tablo 1: 64-bit Dadda çarpıcı devre ile Kogge Stone toplayıcı devre alan kullanımları.

Tablo 1'den de görülebileceği üzere Dadda çarpıcıların geleneksel kullanımda toplayıcı ile birlikte 6863 LUT kullanırken önerilen hibrit devrede bundan %7.24 daha az alan kaplayarak 6366 LUT kullanmıştır. Toplayıcı tercihi çarpıcı devrede kullanılan ile aynı seçilmesi ve literatürde 64-bit veriyolu için en performanslı toplayıcı devre olarak bilindiği için tercih edilen Kogge-Stone toplayıcısı kullanılmıştır [10]. Toplayıcının düşük gecikmesine aldanılarak akümülatör devrenin toplayıcı devrede performans darboğazı oluşturma potansiyeli göz ardı edilmemelidir. Bulunan alan tasarruf oranı yapıtaş modüllerinin tercihlerine bağlı olarak %10'un üstüne çıkabilmektedir.

4. Sonular ve Tartışma

Bu alıřmada GTÜ İřlemci Tasarım Takımı (GiTT) tarafından geliřtirilen 64-bit bir RISC-V varyantı olan RezeRV mikrořlemcisi iin alandan tasarruf saėlayacak yeni bir hibrit toplamaıkarmaarpma devresi tasarlanmıřtır. Tasarımda arpıcı devresi iinde halihazırda kullanılan toplayıcı yapıtařı modlleri mikrořlemcinin aritmetik mantık nitesi tarafından ayrı bir toplayıcı devre gibi kullanılabilmesi saėlanmıřtır. RISC-V buyruk mimarisinin M uzantısı ihtiyaına uygun eřitli arpıcı devreler farklı toplayıcı yapıtařları ile birlikte denenmiř, ggecikme arpan deėerleri ve LUT alan kullanımları karřılařtırılmal olarak analiz edilmiřtir. Elde edilen sonulara gre 64-bit veriyolu geniřliėindeki bir mikrořlemci iin Counter Wallace arpıcısı ile Serial Prefix toplayıcı yapıtařı kullanan devre kombinasyonu tavsiye edilirken 32-bit veriyolu geniřliėine sahip bir mikrořlemci mimarisi iin ise Dadda arpıcısının Serial Prefix toplayıcı devresiyle birlikte kullanıldıėı devre tavsiye edilmektedir. Geliřtirilen ok fonksiyonlu hibrit aritmetik devre sayesinde yrtme iřlemini tek saat dngsnde gerekleřtiren mikrořlemcilerin aritmetik mantık nitelerinde doėru kısmı arpım retci ve toplayıcı tercihi ile %10'lara ulařan alan tasarrufu saėlanabilmektedir.

5. Kaynaklar

- [1] Asanovic K. and Patterson D. A. Instruction sets should be free: The case for RISC-V. Tech. Rep. UCB/EECS-2014-146. EECS Department, University of California, Berkeley, 2014.
- [2] Lee, Y., Waterman, A., Cook, H., Zimmer, B., Keller, B., Puggelli, A., Kwak, J., Jevtic, R., Bailey, S., Blagojevic, M., Chiu, P.F., Avizienis, R., Richards, B., Bachrach, J., Patterson, D., Alon, E., Nikolic, B., & Asanovic, K. An Agile Approach to Building RISC-V Microprocessors. IEEE Micro, 36(2), 8-20, 2016.
- [3] Armstrong, A., Bauereiss, T., Campbell, B., Reid, A., Gray, K., Norton, R., Mundkur, P., Wassell, M., French, J., Pulte, C., Flur, S., Stark, I., Krishnaswami, N., & Sewell, P. (2019). ISA Semantics for ARMv8-a, RISC-v, and CHERI-MIPS. Proc. ACM Program. 2019.
- [4] H. B, J. Moses C and M. Kantipudi, "VLSI Architectures of Booth Multiplication Algorithms – A Review", *International Journal of Computing and Digital Systems*, vol. 11, no. 1, pp. 265-275, 2022.
- [5] Singh, Preet Pal Raminder, Parveen Kumar and Balwinder Singh, "Performance analysis of 32-bit array multiplier with a carry save adder and with a carry-look-ahead adder", *International Journal of Recent Trends in Engineering*, vol. 2, no. 6, pp. 83-86, 2009.
- [6] Savita Nair and Ajit Saraf, "A Review Paper on Comparison of Multipliers based on Performance Parameters", *International Journal of Computer Applications*, vol. 5, no. 4, pp. 6-9, 2014.
- [7] Purohit Deepak and Himanshu Joshi, "Comparative Study & Analysis of Fast Multipliers", *International Journal of Engineering & Technical Research (IJETR)*, vol. 2, no. 7, pp. 147-151, 2014.
- [8] S. Patil, D. V. Manjunatha and D. Kiran, "Design of speed and power efficient multipliers using vedic mathematics with VLSI implementation", *2014 Int. Conf. on Advances in Electronics Computers and Communications*, pp. 1-6, 2014.
- [9] R. Goldberg, G. Even, and P.-M. Seidel, "An fpga implementation of pipelined multiplicative division with ieee rounding," in *Field-Programmable Custom Computing Machines*, 2007. FCCM 2007. 15th Annual IEEE Symposium on. IEEE, 2007, pp. 185-196.
- [10] Feng Liu, F.F Fariborz, Otmame Ait Mohamed, Gang Chen, Xiaoyu Song and Qingping Tan, "A comparative study of parallel prefix adders in FPGA implementation of EAC", *Proceedings of 12th Euromicro Conference on Digital System Design/Architectures Methods and Tools*, 2009.